

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04230117 A**

(43) Date of publication of application: **19 . 08 . 92**

(51) Int. Cl

H03K 19/003
H02M 1/08
H03K 17/687

(21) Application number: **03118439**

(22) Date of filing: **23 . 05 . 91**

(30) Priority: **24 . 05 . 90 US 90 528145**

(71) Applicant: **INTERNATL RECTIFIER CORP**

(72) Inventor: **KINZER DANIEL M**
TAM DAVID

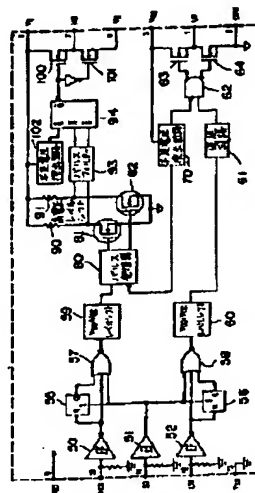
(54) **CIRCUIT PROVIDED WITH DV/DT DISTURBANCE EXCLUDING CAPABILITY, AND GATE DRIVER FOR MOS CIRCUIT**

COPYRIGHT: (C)1992,JPO

(57) Abstract:

PURPOSE: To obtain a disturbance excluding capability with respect to malfunctions due to an unexpected dv/dt transient pulse in a circuit by selecting only normal operation pulses to allow them to pass through.

CONSTITUTION: A level shift circuit 59 for a high-voltage channel is connected to a pulse generator 80. During the normal operation, the output from the pulse generator 80 generates output voltage pulses V_{set} and V_{rst} between MOSFETs 81 and 82 and resistances 90 and 91, and they are applied to a pulse filter 93. A transient dv/dt pulse appearing in the input of the pulse filter 93 has a pulse width shorter than a delay time in the pulse filter and is easily discriminated and does not pass through the pulse filter 93. The output of an RS latch 94 turns on/off MOSFETs 100 and 101. That is, the output of a pin 7 is turned off, when a signal in the high level is applied to an input R of the RS latch 94, and it is turned on when this signal is applied to an input S of the RS latch 94.



(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/003	B	8941-5 J		
H 0 2 M 1/08	A	8325-5 H		
H 0 3 K 17/687		8221-5 J	H 0 3 K 17/ 687	A

審査請求 未請求 請求項の数17(全 8 頁)

(21) 出願番号	特願平3-118439	(71) 出願人	591107551 インターナショナル・レクチファイヤー・ コーポレーション INTERNATIONAL RECTI FIER CORPORATION アメリカ合衆国カリフォルニア州エル・セ グンド、カンザス・ストリート233番
(22) 出願日	平成3年(1991)5月23日	(72) 発明者	ダニエル・エム・キンザー アメリカ合衆国カリフォルニア州エル・セ グンド、ロミタ・ストリート813番
(31) 優先権主張番号	528, 145	(74) 代理人	弁理士 青山 葆 (外2名)
(32) 優先日	1990年5月24日		
(33) 優先権主張国	米国 (US)		

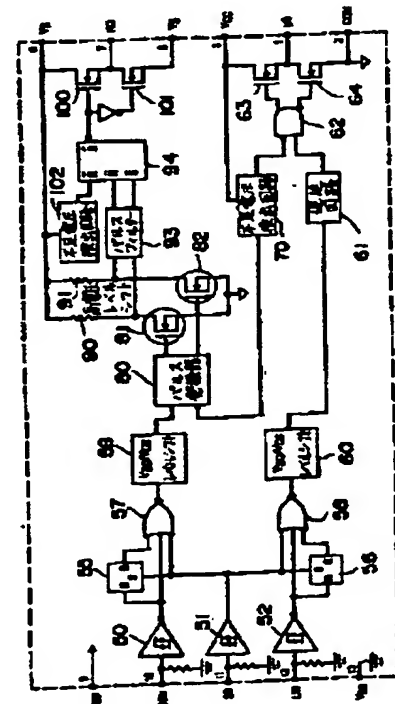
最終頁に続く

(54) 【発明の名称】 dv/dt 妨害排除能力を備えた回路とMOS回路のためのゲートドライバ

(57) 【要約】

【目的】 回路内での予想外の dv/dt 過渡状態の誤操作に対する妨害排除能力を持つレベル・シフト回路

【構成】 dv/dt 妨害排除能力を備える、ある電圧状態から異なる電圧レベルへ論理電圧状態を変移するレベルシフト回路であって、論理レベル入力回路手段と、上記入力回路手段に接続されるパルス発生回路と、上記パルス発生手段の出力端子と一対の主電極とに接続された制御電極を持つトランジスタ手段と、電流源手段と、上記電流源手段を伴う直列に接続された上記トランジスタ手段の上記主電極と、上記パルスの幅によって上記トランジスタの上記主電極に適用された dv/dt 過渡信号により発生されるパルスと区別された正常動作パルスだけを選択し通過するパルスフィルタと、そして上記パルスフィルタの出力端子に接続される出力回路手段と、上記パルスフィルタを通るパルス信号の通過に応じてスイッチ機能を発生する上記出力回路手段とを備える。



【特許請求の範囲】

【請求項1】 論理レベル入力回路手段と、上記入力回路手段に接続されるパルス発生回路と、上記パルス発生手段の出力端子と一対の主電極とに接続された制御電極を有するトランジスタ手段と、電流源手段と、上記電流源手段と直列に接続された上記トランジスタ手段の上記主電極と、上記パルスの幅によって上記トランジスタの上記主電極に印加された dv/dt 過渡信号により発生されるパルスと区別された正常動作パルスだけを選択し通過するパルスフィルターと、上記パルスフィルターの出力端子に接続される出力回路手段と、上記パルスフィルターを通るパルス信号の通過にตอบสนองしてスイッチ機能が発生する上記出力回路手段とを備え、 dv/dt 妨害排除能力を備えるある電圧状態から異なる電圧レベルへ論理電圧状態をシフトするレベルシフト回路。

【請求項2】 請求項1の回路であって、上記のトランジスタ手段が、少なくとも1つのMOSFETからなるレベルシフト回路。

【請求項3】 請求項1の回路であって、上記のトランジスタ手段が、少なくとも1つのNPNバイポーラトランジスタを備えるもの。

【請求項4】 請求項1の回路であって、上記論理レベル入力回路手段に接続され、上記入力回路手段の論理レベルを異なる電圧レベルに変化させる電圧レベルシフト手段を含むもの。

【請求項5】 請求項1の回路であって、上記電流源手段は、電流源と直列に接続される抵抗を含むもの。

【請求項6】 請求項2の回路であって、上記電流源手段は、電圧源と直列に接続される抵抗を含むもの。

【請求項7】 請求項1の回路であって、上記出力回路手段がラッチ回路を備えるもの。

【請求項8】 請求項6の回路であって、上記出力回路手段がラッチ回路を備えるもの。

【請求項9】 MOSデバイスの動作のための所望の情報を命令する信号情報を出力する入力論理回路手段と、上記入力回路手段の命令に従って上記MOSデバイスを動作するMOSデバイスゲート回路を接続するためのMOS駆動出力回路と、論理回路手段の入力に従って所定の長さの出力パルスのトレースを生成するための、上記入力論理回路手段に接続されたパルス発生手段と、上記パルス発生手段と接続された制御回路を備え、上記パルス発生手段からのパルス信号によってターンオン、オフを行い、出力回路を備えるトランジスタスイッチ手段と、上記入力論理回路手段の命令に従って上記MOS駆動出力回路をターンオンそして、オフとする上記MOS駆動出力回路に接続される上記トランジスタスイッチ手段の上記出力回路とからなり、上記トランジスタスイッチ手段の上記出力回路と上記MOS駆動出力回路との間に接続されるパルスフィルター回路を備え、上記パルスフィルターは、上記パルス発生手段により発生されたパ

ルス幅のパルスを通過させるが、フィルタリングを行う事によって、高い dv/dt を伴う短いパルスは通さず、それによって、上記MOS駆動出力回路内に発生されるノイズパルスによって起こされる予期せぬ dv/dt 放電から上記回路を妨害排除能力を備えるようにするMOS回路のためのゲートドライバ。

【請求項10】 請求項9のゲートドライバ回路であって、上記回路が、10V/ナノ秒以上速い dv/dt を持つパルスに対し dv/dt 妨害排除能力を備えるものを含むもの。

【請求項11】 請求項9のゲートドライバ回路であって、ある電圧レベルから他の電圧レベルに論理レベル電圧状態をシフトするため上記入力論理回路手段と上記パルス発生手段との間に接続される電圧レベルシフト回路手段を備えるもの。

【請求項12】 請求項10のゲートドライバ回路であって、ある電圧レベルから他の電圧レベルに論理レベル電圧状態をシフトするため上記入力論理回路手段と上記パルス発生手段との間に接続される電圧シフト回路手段を備えるもの。

【請求項13】 dv/dt 妨害排除能力を備え、ある電圧状態から異なる電圧レベルへ論理電圧状態を変化するレベルシフト回路であって、上記回路は、論理レベル入力回路手段と、上記入力回路手段に接続されるパルス発生回路と、上記パルス発生手段の出力端子と、一対の主電極とに接続された制御電極を備えるトランジスタ手段と、電流シンク手段と、上記電流シンク手段と直列に接続された上記トランジスタ手段の上記主電極と、パルスの幅によって上記トランジスタの上記主電極に印加された dv/dt 過渡信号により発生されるパルスと区別された正常動作パルスだけを選択し通過するパルスフィルターと、そして上記パルスフィルターの出力端子に接続される出力回路手段とからなり、上記出力回路手段は、上記パルスフィルターを通るパルス信号の通過にตอบสนองしてスイッチ機能を行なう。

【請求項14】 請求項13の回路であって、上記論理入力回路手段に接続され、上記入力回路手段の論理レベルを異なる電圧レベルへ変移する出力を発生する電圧レベルシフト手段を備えるもの。

【請求項15】 請求項13の回路であって、少なくとも1つのMOSFETを含む上記トランジスタ手段を備えるもの。

【請求項16】 請求項13の回路であって、上記トランジスタ手段が1つのPチャンネルMOSFETであるもの。

【請求項17】 請求項13の回路であって、上記トランジスタ手段が1つのNPNトランジスタであるもの。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、回路内での予想外の dv

／dt過渡パルスによる誤動作に対する妨害排除能力を作成する新しいレベル・シフト回路に関する。

【0002】

【従来の技術】より高い、もしくは、より低い電圧レベルへ小さな制御信号の電位をシフトするためのレベル・シフト回路は良く知られており、しばしばパワー集積回路チップの中に組み込まれる。このタイプの典型的なデバイスには、本出願人であるインターナショナル・レクチファイヤー・コーポレーション(International Rectifier Corporation)によって販売されているIR2110がある。IR2110は、パワーMOSFET若しくは、独立の高電圧、そして低電圧出力チャンネルを備える絶縁ゲートバイポーラトランジスタ(以下、単に「IGBT」とする)のゲートを駆動するための高電圧、高速MOSゲート・パワー・デバイスである。このパワーデバイスは論理入力を備えており、ドライバチップの使用者によって論理入力が供給される。浮動的な高電圧チャンネルは、500Vまでの高電圧レール(Voltage rail)に動作しないNチャンネルパワーMOSFETもしくは、IGBTの駆動に用いられる。

【0003】

【発明が解決しようとする課題】そのような回路における一般的な課題は、高いdv/dt過渡状態の影響における誤動作、すなわち論理入力によって要求していない出力の発生である。より明確には、そのような回路は一般に、低電圧参照信号を浮動レールの電圧でスイッチ回路を操作する高電圧浮動レールへ変換する高電圧レベル・シフト・トランジスタ回路を持つ。そのレベルシフトトランジスタは、パワーの浪費を最小にするために短いパルスが存在する期間のみターンオンされる。しかしながら、高電圧スイッチ回路の出力は、たとえ入力がかくされなくとも、レベルシフトトランジスタのドレイン、もしくはコレクタ上の寄生静電容量のために、速いdv/dt過渡現象によって切り換えられ得るのである。

【0004】

【課題を解決するための手段】本発明により、パルス識別回路は、高電圧DMOSレベルシフト回路の出力と、メイン・スイッチ回路との間に接続される速いdv/dt過渡状態から通常のスイッチングパルスを識別する。本発明は±50V/ナノ秒以上以上のdv/dt妨害排除能力の測定結果を与えるが、理論上は完全に妨害排除能力を備える回路となる。

【0005】

【実施例】最初に図1について参照すると、パワーMOSFET21,22に対する高電圧MOSゲートドライバとして機能するパワー集積回路20の概略図が示されている。パワー集積回路20は、出力ピン1〜3,5〜7,9〜13を備える。

【0006】図1などに示されるピンは、次の役割を持つ。

ピンNo.	役 割
1	例えば0〜20Vで振動する(低電圧のMOSFET22のゲートへの)低電圧出力電圧。
2	共通の接地
3	例えば、20Vの低電圧定格電源電圧
4	高電圧の浮動電源オフセット電圧(例えば、500V)
6	例えば、520Vの高電圧の浮動電源絶対電圧
7	例えば、500〜520Vで振動する(高電圧のMOSFET21への)高電圧出力電圧
9	論理電源電圧(20V)
10,11,12	例えば、4a,4bそして4cの図におけるタイミングチャートに従うピン1,7での出力電圧の所望の制御のための低電圧論理入力
13	論理電源接地

【0007】図2は、バックコンバーターを駆動するために接続された図1の集積回路20を示す。メインパワーMOSFET30は、約500V以下の高電圧電源VRに接続されたドレイン電極を備える。そのバックコンバーター回路は、一般的なダイオード31、インダクタ32、コンデンサ33、そして通常の方法でコンデンサ33の向こう側に接続される負荷を含む。0.1μF(マイクロファラッド)のコンデンサ35は、ピン5と6との間に接続され、例えば、10KF6型のダイオード36は、ピン3と6との間に接続される。15Vの電源入力は、ピン3と9に接続され、1μFのコンデンサ37はピン9からピン2,11,12、そして13に接続されている。適切な論理入力はピン11に接続されている。

【0008】本発明より、集積回路20は、例えばピン5に接続された回路の接続点に於ける速いdv/dt過渡現象による誤ったトリガから図1,図2の回路に妨害排除能力を備えるための新しい回路を含む。

【0009】図3は、図1,図2内の集積回路20に内在する回路の機能ブロック図である。図3のピン号は、図1,図2の同じピン番号に対応する。論理入力ピン10,11,12は、シュミットトリガ50,51,52を通してRSラッチ55,56に接続されている。ラッチ55,56はゲート57,58を通り、それぞれレベルシフト回路59,60に接続されている。図から分かるように、レベルシフト回路59,60の出力はそれぞれピン7,1、での高電圧制御出力及び低電圧制御出力を制御する。

【0010】低電圧チャンネル内のレベルシフト回路60からの出力は、遅延回路61を通してゲート回路62の一方の入力に印加されている。ゲート62の出力はMOSFETトランジスタ63,64のゲート電極に接続されている。後述されるように、これらのトランジスタは、ピン11,12への論理入力により要求されるとき、ピン1におけるゲート電圧を作成する。

【0011】図3は、また、ピン1より操作されるパワーMOSFETもしくはIGBTのターンオンを防止するために、ピン3において不足電圧が検出された時、ゲート62からの出力を無効とする不足電圧検出回路70を含む。

【0012】この回路の高電圧チャンネルのためのレベルシフト回路59は、パルス発生器80に接続される一つの入力端子を備える。不足電圧検出回路70は、また、パルス発生器80に接続され、ピン3の不足電圧条件の検出にตอบสนองして高電圧出力チャンネルをターンオフ

10 する。

【0013】パルス発生器80は、2つの出力端子を備え、セット出力(図5(b))はMOSFET81のゲートに接続され、リセット出力(図5(c))はMOSFET82のゲートに接続されている。図5(a)はピン10における入力HINの波形を示す。図5(b)のセットパルスはMOSFET81に印加され、図5(c)のリセットパルスはMOSFET82に印加される。セットパルスは、パルスHINの立ち上げに伴いトリガされ、リセットパルスはパルスHINの降下に伴いトリガされる。これらのパルスは図示されるようにそれぞれ t_{r1} 、 t_{r2} の幅を持つ。

【0014】MOSFET81、82のソースは、共通の接続レールで接続され、それらのドレインはそれぞれ抵抗90、91に接続されている。

【0015】通常の操作中、パルス発生器80からのMOSFET81、82へのパルス印加は、それぞれ、MOSFET81、82と抵抗90、91との間における出力電圧パルス V_{set} 、 V_{rst} を発生する。パルス V_{set} 、 V_{rst} はそれぞれ図5(d)、図5(e)に示される様な波形を持つ。

30 40 【0016】パルス V_{set} 、 V_{rst} は、その後、本発明による新しいパルスフィルター93に印加される。フィルター93の出力チャンネルは、本発明に従ってラッチ94のR、S入力に接続される。第2の不足電圧検出回路102は、ピン6において不足電圧が検出された時に、信号がピン7に印加されていないことを保証するためにラッチ94への入力として備えられる。普通の状態下において、パルスフィルター93を通過するパルス V_{set} 、 V_{rst} は、それぞれ図5(f)、図5(g)に示されるような波形を持ち、それぞれ t_{r1} 、 t_{r2} の幅を持つ。これらのパルスはパルスフィルター内の遅延時間 t_d だけ短くされる。遅延時間 t_d は、例えば、 $t_{d1} = (t_{r1} - t_{r2})$ 、そして $t_{d2} = (t_{r2} - t_{r1})$ となるようなフィルター時間である事に注意すべきである。しかしながら、パルスフィルター93の入力において現れる過渡的な dv/dt パルスは、図5(h)のパルス形状を持ち、遅延時間 t_d より短いパルス幅 t_w を持つ。結果として、システム内で過渡的な dv/dt 信号により形成されるパルス t_w は容易に識別され、RSラッチ94を動作するパルスフィルターを通過することはない。

【0017】RSラッチ94の出力はMOSFET100、101をターンオン及びターンオフする時に用いられる。このようにしてハイレベルの信号がRSラッチの入力Rに印加されたならば、ピン7の出力はターンオフとなる。ハイレベルの信号がラッチ94の入力Sに印加されたならば、ピン7の出力はターンオンとなる。

【0018】これより図3のブロック図の動作の機能的な説明を行う。一般に、図3の構造は、モノリシックな高電圧チップに含まれ、高速で動作する2チャンネルパワーMOSFETもしくはIGBTのドライバとして動作する。このドライバは、本質上、ピン10、11、12での論理入力信号を変換し、低いインピーダンス「同相」出力に対応する。低電圧のチャンネル出力ピン1は、ピン3での固定レール(fixed Rail)を基準として、そしてピン7での高電圧のチャンネル出力は、500Vまでのオフセット能力を持つピン6での浮動レールを基準とする。

20 30 【0019】ピン10、11、12への論理入力、図4(a)、図4(b)、図4(c)に関連して説明されるように2つの出力チャンネルの制御パルスを発生する。このようにして、図4(c)におけるピン7、1でのHO、LO出力はそれぞれ、図4(a)のピン10、12におけるHIN、LIN論理入力と同相となる。ピン11(図4(b))でのSD入力がハイレベルに切換えられた時、2つの出力HO、LOはターンオフとなる。出力はピン11のSD入力がローレベルに切換えられても、図4(a)におけるそれぞれの入力の次の立上りエッジまで、オフのままである。

【0020】ピン3での電圧が不足電圧引きはずし点以下の時、不足電圧引きはずし検出回路70は、前述した様な両チャンネルを無効とする遮断信号を送る。ピン6での電圧がそれ自体の不足電圧引きはずし点以下の時、もう一方の不足電圧検出ブロック102は、高電圧のチャンネルを無効とするために用いられる。論理入力10、11、12は、高いノイズ妨害排除能力を備えるためにヒステリシス幅を伴うシュミットトリガ回路を用いており、遅い立ち上がり時間を伴う入力を受け付ける。

40 50 【0021】論理回路は、出力動作電源電圧より低い電源電圧を使用することができそれ自身の論理電源を参考とした。レベルシフト回路59、60は、好ましくは、出力ドライバへの論理信号をシフトするむしろ高ノイズ妨害排除能力を備えた回路である。従って、論理接地13とパワー接地2との間に±5V定格オフセットを備えた論理回路は、出力ドライバのスイッチ動作によるノイズカップリングの発生によっては影響されない。

【0022】2つのチャンネルの伝搬遅延は、制御パルスのタイミング要求時期を単純化するように、使用低電圧遅延チャンネルを用いて調整される。ピン5での電圧が0Vかその近傍である時に高電圧のターンオン命令は通常、ピン5の電圧が0Vである時に実行されるので、

7

ターンオン遅延は、低電圧のチャンネル、そして高電圧のチャンネルに対して120ナノ秒に調整される。高電圧のターンオフ命令は、高電圧のパワーMOSFETがオン、そしてピン5での電圧がピン6での高電圧レールと同じかその近傍となった後に通常、実行される故に、ピン5での電圧が500Vである時に、低電圧のチャンネル、そして高電圧のチャンネルに対して94ナノ秒に調整される。

【0023】図3の機能的ブロック図内の両方のチャンネルは、同一の低いクロス伝導(cross-conduction) トーテムポール出力接続トランジスタが用いられる。従って、出力ドライバは、2A以上のピーク電流と約3Ωより小さなオン抵抗を持つ2つのN-チャンネルMOSFET100,101を含む。出力MOSFETの1つは、ソースホロワとして接続され、その他は、コモンソースとして接続される。トーテムポール配置のため、立ち上がり時間は容量性負荷を駆動する降下時間より緩やかである。例えば、典型的な3300pF(ピコファラッド)の負荷に対しては立ち上がり、そして降下時間は、それぞれ50ナノ秒、33ナノ秒である。

【0024】ピン5での電圧がピン2の電圧以下であって、4V以上に振動する時でさえ、高電圧レベルシフト回路は正常に機能するように設計されている。この状態は、図2に示される型式の回路内の出力フリーホイーリングダイオードの再循環周期中にしばしば起こる。

【0025】高電圧のチャンネルのために、パルス発生器80により発生される図4aのHIN入力の立ち上がりエッジ、そして降下エッジによってそれぞれ狭いオンパルス、オフパルスはトリガされる。それぞれのパルスは、浮動レールに作用しないRSラッチ94をセット、もしくはリセットする独立した高電圧レベル・トランジスタ81,82を駆動するのに用いられる。ピン10での接地基準HIN信号のレベルシフトは、浮動レールを基準とされる信号を変換することによって達成される。各高電圧レベル・トランジスタ81,82は、各セット、リセット操作を伴う短いオン、オフパルスの期間のみターンオンされるため、パワーの浪費を最小限にとどめる。しかしながら、これは過渡状態の高い dv/dt パルスによって誤ってトリガを行なうという問題を生じた。

【0026】本発明により、ピン5上の速い dv/dt 過渡現象によるRSラッチ94の誤ったトリガは、パルス識別回路93の使用によって通常のブルダウン・パルスからそれらを効果的に区別することによって防止される。このようにして、回路93は、高電圧のチャンネルにあらゆる大きさの dv/dt 値の過渡パルスに対する本質的妨害排除能力を作成する。

【0027】MOSFETドライバ20は、多くの回路に適用する事ができる。例えば、2つの上記ドライバは、通常のHブリッジを駆動する時に用いられ得、3つ

8

の上記ドライバは、3相ブリッジ電動機の駆動において、パワーMOSFET若しくはIGBTデバイスを制御するのに用いられる。一般に、MOSFETドライバは、パワーMOSFETもしくはIGBTへ事実上のあらゆる適用性を持つ。

【0028】図6は、パルス発生器ブロック80として使用され得る好ましいパルス発生器の回路図である。「HIN」と付された入力線は、図3のレベルシフト回路59からのリード線である。「セット」、「リセット」と付された出力リード線は、図5のMOSFET81,82のゲートに接続されたリード線に該当する。

【0029】パルス発生器回路はそれ自体で2つのチャンネルからなる。第一のチャンネルは、デジタルNORゲート201の1つの入力端子に接続されているインバータゲート200を有する。その第一のチャンネルは、また、インバータゲート202,203,204,205に直列に接続される構成の遅延ブロックを含む。ゲート205の出力端子は、NORゲート201の他の入力端子に接続されている。2つの2.3pFのコンデンサは、インバータ203~204と204~205間のノードから、それぞれ接続されている。

【0030】パルス発生器の第二のチャンネルは、リセットパルスのために用いられ、第一のチャンネルと同じ構造を持ち、NORゲート215に接続されるインバータゲート210と遅延ブロックインバータ211,212,213,214を含む。

【0031】図6の回路は、集積回路形態内で実施され得る。動作において図6の回路は、インバータ202~205、若しくは211~214のチェーンを通過する信号の時間によって決定されるパルス幅を持つパルスを作成する。

【0032】図7は、パルスフィルターの半分とMOSFET81を示す。パルスフィルター93の残りの半分は、図示する半分と同一であるが、MOSFET82を組み込むものである。MOSFETの使用は自由であり、回路はバイポーラ・レベルシフトトランジスタでも実施され得る。

【0033】プルアップ抵抗器90は、250Ωの抵抗であり、プルアップ抵抗器90はあらゆる型式の電流源にもなり得る。高電位から低電位へのレベルシフトを行う時にも本発明は適用する事ができる。その場合、レベルシフトトランジスタはP-チャンネルMOSFETもしくはPNPトランジスタとなり、プルアップ抵抗器は、ブルダウン抵抗器もしくは、他の電流シンク源の型となる。

【0034】回路が集積回路となる時、抵抗器90は、N形エピタキシャル基板内のP形領域として実施される。そのような構造は直列に分布された固有のダイオード220,221,222を持つ。2番目の抵抗器223は、ポリシリコン抵抗器として実施される。抵抗器22

10

20

30

40

50

3は、寄生バイポーラのターンオンを防止するトランジスタ81のソースと直列のバラスト抵抗器である。また図7には、MOSFET81のドレインとソースとの間のコンデンサ224を示す。

【0035】図7に示されるパルスフィルター93の半分は、順にMOSFETの対230と231、232と233、234と235、236と237で構成されるインバータチェーン回路を構成する。これらは後述するように、トランジスタ81によって作成されるパルスを「角張った形状」にする。コンデンサ240と抵抗器241はそれぞれ3pF、10KΩであり、後述するように、このパルスを立ち上げる時点において遅延を生じる。

【0036】図7の回路の動作は、図7のそれぞれの点A～Fにおけるパルス波形を示す図8(A)～図8(F)の波形を参照することで最も良く理解される。

【0037】従って、「セット」トランジスタ81をターンオンするのに用いるパルスは、図6のゲート201のセットチャンネル出力端子より得られる図7に示されるMOSFET81のゲート上のパルスである。このパルスはプルアップ抵抗器90の作用の結果として図7のB点における図8(B)に示される形状のパルスを作成する。ステージ230～231は図8(C)に示されるC点においてパルスを角張った形状にし、そして図8(D)に示されるステージ232～233によってD点において、より一層角ばったパルスとされる。次のステージ234～235におけるコンデンサ240と抵抗器241は、図8(E)に示されるE点においてパルスの立ち上がりが遅延する。このパルスは図8(F)に示されるように、ステージ236～237によってF点において角張った形状にされる。このパルスは、しかしながら、A点において適用されるパルスの前縁(立ち上がり区間)から約50ナノ秒だけ遅延された前縁を持つ。

【0038】回路のB点へ適用される過渡状態の高い dv/dt 信号の影響を次に考察する。従来の回路において、そのような高い dv/dt 信号は、図3のRSラッチ94へ適用される予定された放電信号として誤って認知され、ピン7に誤った放電信号を発生する。しかしながら、本発明によると、そのような dv/dt パルスはフィルター93を通過しない。

【0039】過渡状態 dv/dt パルスは、図8(B)に点線で示される。このパルスは図8(C)と図8(D)において角張った形状にされる。この短いパルスは、ステージ236～237に十分なゲートドライブ信号を発生できず、そのためパルスはF点で出力に現れない。その結果、 dv/dt で誘起されたパルスは、回路に誤ったトリガを掛ける事はない。

【0040】本発明はある特定の実施例について記述したものであるが、他の多くの種類や改良、他の用途は当業者にとって自明となるだろう。従って、本発明は、こ

の明細 によって限定されるものではなく、添付された請求の範囲によってのみ限定されるものである。

【図面の簡単な説明】

【図1】 一対のパワーMOSFETを駆動する概知のIR2110パワー集積回路の概略図である。

【図2】 図1のパワー集積回路のバックコンバーターへの適用を示す図面である。

【図3】 図1のパワー集積回路の機能上のブロック図であり、特に、本発明の新しい dv/dt 妨害排除能力を備える回路を示す図である。

【図4】 図3のチップの入力/出力タイミング図である。

(a)は、ピン10、12におけるHIN、LIN論理入力を示す。

(b)は、ピン11におけるSD入力を示す。

(c)は、ピン7、1におけるHO、LO出力を示す。

【図5】 図3の異なる点における電圧の通常のタイムベースを示す図である。

(a)は、ピン10におけるHINの入力波形を示す。

(b)は、セットパルスを示す。

(c)は、リセットパルスを示す。

(d)は、出力電圧パルス V_{out} を示す。

(e)は、出力電圧パルス V_{in} を示す。

(f)は、フィルター通過後のパルス V_{out} を示す。

(g)は、フィルター通過後のパルス V_{in} を示す。

(h)は、過渡 dv/dt パルスを示す。

【図6】 図3のパルス発生器の実施例の回路図である。

【図7】 図3のパルスフィルターの一つの回路図である。

【図8】 図7の回路のA～Fのそれぞれの点におけるパルス波形を示す図である。

(A)は、図7のA点におけるパルス波形を示す。

(B)は、図7のB点におけるパルス波形と、 dv/dt パルス(点線)を示す。

(C)は、図7のC点におけるパルス波形と、 dv/dt パルス(点線)を示す。

(D)は、図7のD点におけるパルス波形と、 dv/dt パルス(点線)を示す。

(E)は、図7のE点におけるパルス波形と、 dv/dt パルス(点線)を示す。

(F)は、図7のF点におけるパルス波形を示す。

【符号の説明】

20 パワー集積回路IR2110

21 高電圧のMOSFET

22 低電圧のMOSFET

30 メインパワーMOSFET

31、36 ダイオード

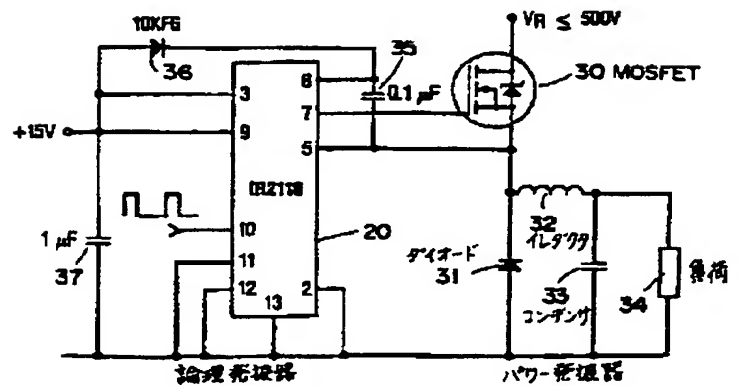
32 インダクタ

33、35、37 コンデンサ

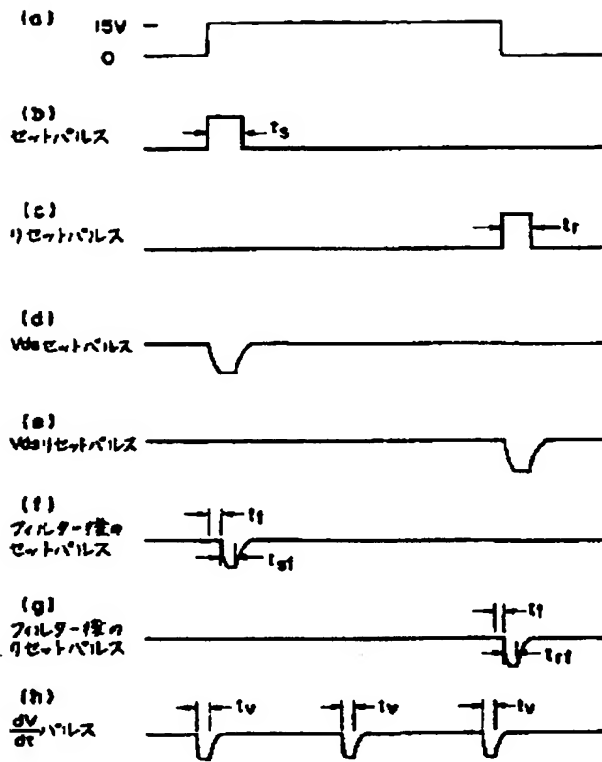
12

- 81, 82 MOSFET
90, 91, 223, 241 抵抗器
93 バルスフィルター
94 RSラッチ
100, 101 MOSFET
200, 202~205, 210~214 インバータ
201, 215 ゲート
211~214 遅延ブロックインバータ
230~237 MOSFET
10 224, 240 コンデンサ

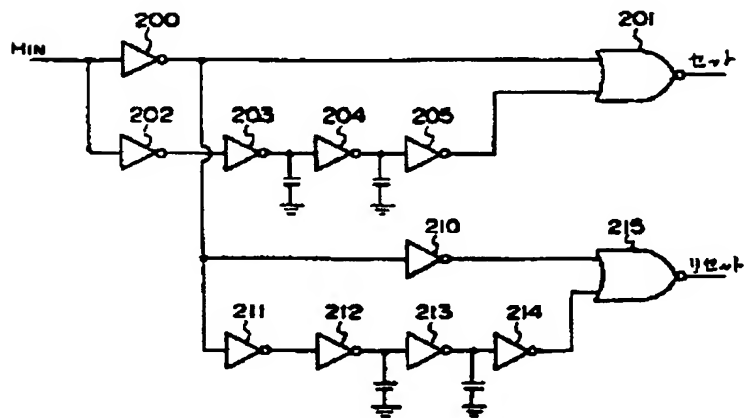
【图 2】



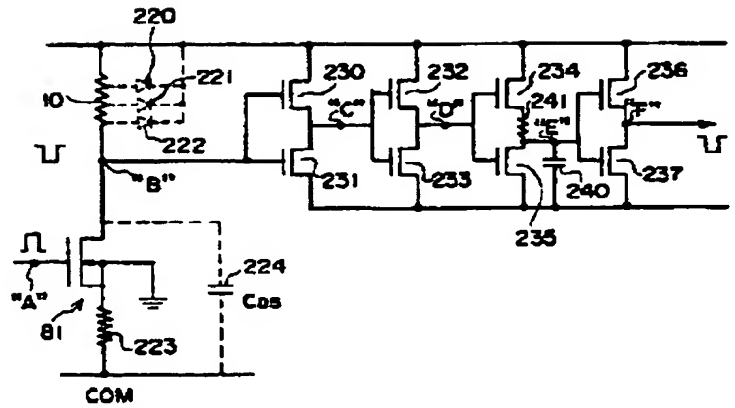
【図5】



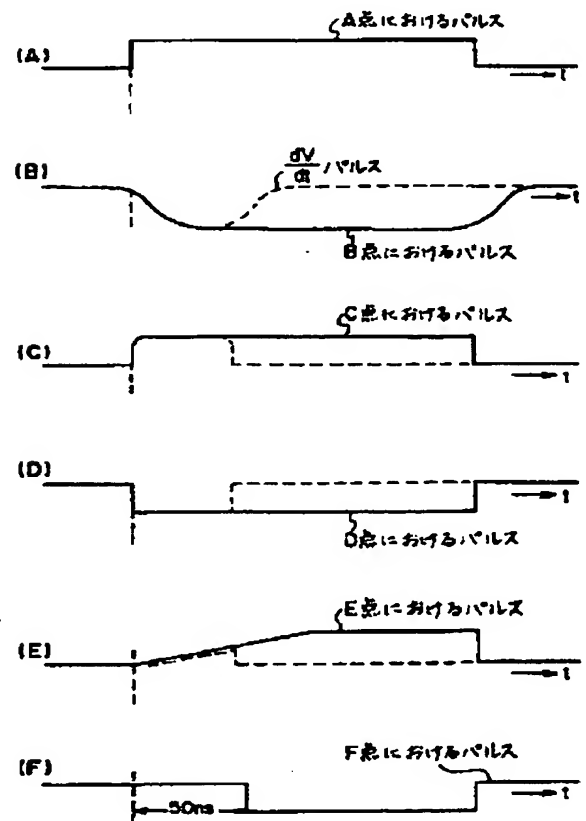
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 デイビッド・タム
アメリカ合衆国カリフォルニア州マリナ・
デル・レイ106、ノースウエスト・パツシ
ツジ13910番